

[First Hit](#)      [Previous Doc](#)      [Next Doc](#)      [Go to Doc#](#)

**End of Result Set**

☐ [Generate Collection](#) [Print](#)

L3: Entry 1 of 1

File: JPAB

Jan 31, 2003

PUB-NO: JP02003031676A

DOCUMENT-IDENTIFIER: JP 2003031676 ATITLE: SEMICONDUCTOR INTEGRATED CIRCUIT, METHOD FOR DESIGNING THE SEMICONDUCTOR  
INTEGRATED CIRCUIT AND PROGRAM FOR DESIGNING THE SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: January 31, 2003

## INVENTOR-INFORMATION:

NAME

COUNTRY

OHIRA, NOBUHIRO

MIZUNO, HIROYUKI

SUGANO, YUSUKE

ISHIBASHI, KOICHIRO

YAMAOKA, MASANAO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD

APPL-NO: JP2001216387

APPL-DATE: July 17, 2001

INT-CL (IPC): H01 L 21/8234; G06 F 17/50; H01 L 21/82; H01 L 27/088; H03 K 19/0944

## ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit in which an operating speed of the circuit and power consumption due to a leakage current are balanced.

SOLUTION: The semiconductor integrated circuit comprises a gate cell having a low threshold MOS for 3 or more-input logic gates 101, 105 or a gate cell having a threshold value MOS being high as a rule for 1- or 2-input logic gates 100, 102 or, 104.

COPYRIGHT: (C) 2003, JPO

[Previous Doc](#)      [Next Doc](#)      [Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-31676

(P2003-31676A)

(43) 公開日 平成15年1月31日 (2003.1.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/8234		G 0 6 F 17/50	6 5 6 B 5 B 0 4 6
G 0 6 F 17/50	6 5 6		6 5 8 T 5 F 0 4 8
	6 5 8	H 0 1 L 27/08	1 0 2 C 5 F 0 6 4
H 0 1 L 21/82		H 0 3 K 19/094	A 5 J 0 5 6
27/088		H 0 1 L 21/82	D

審査請求 未請求 請求項の数12 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2001-216387(P2001-216387)

(22) 出願日 平成13年7月17日 (2001.7.17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

最終頁に続く

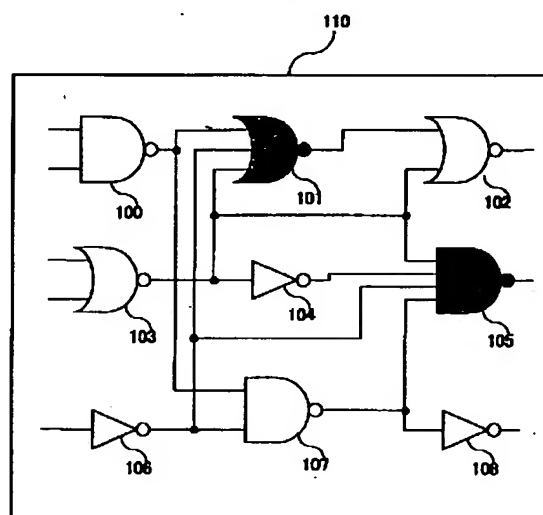
(54) 【発明の名称】 半導体集積回路、該半導体集積回路の設計方法及び該半導体集積回路設計用プログラム

(57) 【要約】

【課題】 回路の動作速度とリーク電流による消費電力のバランスをとれた半導体集積回路を提供する。

【解決手段】 3入力以上の論理ゲート101、105については、低しきい値MOSで構成されたゲートセルを用い、1入力または2入力の論理ゲート100、102、104については原則高しきい値MOSで構成されたゲートセルを用いる。

図1



## 【特許請求の範囲】

【請求項1】第1動作電位点と、  
第2動作電位点と、

上記第1動作電位点と上記第2動作電位点との間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタに第1絶縁ゲート型電界効果トランジスタを含むとともに上記第1絶縁ゲート型電界効果トランジスタと同じ導電型の絶縁ゲート型電界効果トランジスタを含まない複数の第1論理ゲートと、

上記第1動作電位点と上記第2動作電位点との間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタには少なくとも3以上の第1導電型の第2絶縁ゲート型電界効果トランジスタを含む複数の第2論理ゲートとを有しており、

上記第2絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は、上記第1絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値よりも小さいことを特徴とする半導体集積回路。

【請求項2】請求項1に記載の半導体集積回路において、

上記第1論理ゲート及び上記第2論理ゲートはCMOS論理ゲートであり、上記第2論理ゲートは、上記第2絶縁ゲート型電界効果トランジスタと入力信号を共通とする第2導電型の第3絶縁ゲート型電界効果トランジスタを有することを特徴とする半導体集積回路。

【請求項3】請求項2に記載の半導体集積回路において、

上記第3絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は、上記第2絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値よりも大きいことを特徴とする半導体集積回路。

【請求項4】請求項2に記載の半導体集積回路において、

上記第1絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値と上記第3絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値との差は、上記第2絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値と上記第3絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値との差よりも大きいことを特徴とする半導体集積回路。

【請求項5】請求項1に記載の半導体集積回路において、

上記第1絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値と上記第2絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値との相違は、それぞれのチャネル形成領域の不純物濃度を変えることによって形成したことを特徴とする半導体集積回路。

【請求項6】請求項1に記載の半導体集積回路において

て、

上記第1動作電位点と上記第2動作電位点との間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタに第4絶縁ゲート型電界効果トランジスタを含むとともに上記第4絶縁ゲート型電界効果トランジスタと同じ導電型の絶縁ゲート型電界効果トランジスタを含まない第3論理ゲートを有し、

上記第3論理ゲートは信号線ドライバに用いられ、

10 上記第1絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値と上記第4絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値との差は、上記第2絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値と上記第4絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値との差よりも大きいことを特徴とする半導体集積回路。

【請求項7】請求項1に記載の半導体集積回路において、

上記複数の第1論理ゲートと上記複数の第2論理ゲートとを含む内部回路ブロックと、  
20 入出力バッファを含むI/Oブロックとを有し、

上記入出力バッファを構成する絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は、上記第1絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値よりも大きいことを特徴とする半導体集積回路。

【請求項8】請求項7に記載の半導体集積回路において、

上記入出力バッファを構成する絶縁ゲート型電界効果トランジスタのゲート絶縁膜厚は、上記第1絶縁ゲート型電界効果トランジスタのゲート絶縁膜厚及び上記第2絶縁ゲート型電界効果トランジスタのゲート絶縁膜厚よりも厚いことを特徴とする半導体集積回路。

【請求項9】基本的論理機能を実行可能なゲートセルの情報を含むセルライブラリを用いて半導体集積回路を設計する設計方法であって、

上位論理記述言語により記述された論理記述に上記セルライブラリに格納されたゲートセルを割り当ててネットリストを生成する第1ステップと、

生成されたネットリストの特性がその要求仕様を満たすかどうか検証する第2ステップとを有し、

上記セルライブラリは、同じ基本論理機能を実行する複数のゲートセルの情報を含み、

上記第1ステップにおいて、動作電位点間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタに第1絶縁ゲート型電界効果トランジスタを含むとともに上記第1絶縁ゲート型電界効果トランジスタと同じ導電型の絶縁ゲート型電界効果トランジスタを含まない論理ゲートととしては、上記セルライブラリの上記複数のゲートセルのうち上記第1絶縁ゲート型電界効果ト

ランジスタのしきい値電圧がより高いゲートセルを選択し、動作電位間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタには少なくとも3以上の同じ導電型の第2絶縁ゲート型電界効果トランジスタを含む論理ゲートとしては、上記セルライブラリの上記複数のゲートセルのうち上記第2絶縁ゲート型電界効果トランジスタのしきい値電圧がより低いゲートセルを選択するセル割り当て条件にしたがって、ゲートセルを割り当ててことを特徴とする設計方法。

【請求項10】請求項9に記載の設計方法において、上記セル割り当て条件において、動作電位間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタに2個の同じ導電型の第3絶縁ゲート型電界効果トランジスタを含む論理ゲートとしては、上記セルライブラリの上記複数のゲートセルのうち上記第3絶縁ゲート型電界効果トランジスタのしきい値電圧がより高いゲートセルを選択する条件を含むことを特徴とする設計方法。

【請求項11】請求項9に記載の設計方法において、上記セル割り当て条件において、動作電位点間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタに第1絶縁ゲート型電界効果トランジスタを含むとともに上記第1絶縁ゲート型電界効果トランジスタと同じ導電型の絶縁ゲート型電界効果トランジスタを含まない論理ゲートが駆動能力を要求される場合には、上記セルライブラリの上記複数のゲートセルのうち上記第1絶縁ゲート型電界効果トランジスタのしきい値電圧がより低いゲートセルを選択する条件を含むことを特徴とする設計方法。

【請求項12】基本的論理機能を実行可能なゲートセルの情報を含み、かつ同じ基本論理機能を実行する複数のゲートセルの情報を含むセルライブラリを用いて半導体集積回路を設計するためのプログラムであって、上位論理記述言語により記述された論理記述に上記セルライブラリに格納されたゲートセルを割り当ててネットリストを生成する第1サブプログラムと、生成されたネットリストの特性がその要求仕様を満たすかどうか検証する第2サブプログラムとを有し、上記第1サブプログラムの実行にあたって、動作電位点間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタに第1絶縁ゲート型電界効果トランジスタを含むとともに上記第1絶縁ゲート型電界効果トランジスタと同じ導電型の絶縁ゲート型電界効果トランジスタを含まない論理ゲートとしては、上記セルライブラリの上記複数のゲートセルのうち上記第1絶縁ゲート型電界効果トランジスタのしきい値電圧がより高いゲ

ートセルを選択し、動作電位間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタには少なくとも3以上の同じ導電型の第2絶縁ゲート型電界効果トランジスタを含む論理ゲートとしては、上記セルライブラリの上記複数のゲートセルのうち上記第2絶縁ゲート型電界効果トランジスタのしきい値電圧がより低いゲートセルを選択するセル割り当て条件を有することを特徴とするプログラム。

# 10 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体集積回路装置、特に高速化と低消費電力化に好適な半導体集積回路装置に関し、またかかる半導体集積回路装置の設計方法及び該半導体集積回路装置設計用プログラムに関する。

## 【0002】

【従来の技術】絶縁ゲート型電界効果トランジスタ（本願明細書ではMOSFETに代表させて、MOSと表記する）は、高集積化、低消費電力化に適していることから、半導体集積回路装置のトランジスタとして広く用いられるようになっている。MOSのオン・オフ特性は、そのしきい値電圧によって定まる。MOSの駆動能力を上げ、回路の動作速度を向上させるためには、しきい値電圧（なお、エンハンスメントタイプのMOSでは、しきい値電圧はNMOSは正の値、PMOSは負の値をとる。以下では、特に正、負について言及しない場合については、しきい値電圧の高低とはしきい値電圧の絶対値の高低をいうものとする。）を低く設定することが効果的である。

【0003】一方で、しきい値電圧をあまり低く設定すると、MOSのゲートソース間電圧を0にしてもMOSを完全にオフさせることができず、サブスレッショルドリーク電流が増大してしまう。集積度が高く、低消費電力特性が高度に要求されるLSIにおいては、待機動作時にかかるリーク電流により消費される消費電力は決して無視できない大きさになる。

【0004】そのため、複数種類のしきい値電圧のMOSを混在させてLSIを構成する技術が特開平11-195976号公報に開示されている。この従来技術は、高速動作を要求される経路に位置するゲートセルは優先的に低しきい値電圧のMOSを用いて構成し、それ以外のゲートセルについては高しきい値電圧のMOSを用いて構成することにより、高速動作と消費電力の低減の両立を図ったものである。

【0005】このような複数種類のしきい値電圧のMOSを混在させたLSIの設計は以下のように行う。高しきい値電圧のMOSで構成されたゲートセルにより論理合成し、論理合成された回路ブロック中のそれぞれの経路について、その遅延の評価を行う。そのうち、遅延が大きく回路の動作周波数を律速するような経路を低しき

い値電圧のMOSで構成されたゲートセルに置き換える。

#### 【0006】

【発明が解決しようとする課題】上記従来技術においては、最初の論理合成のステップを高しきい値電圧のMOSを用いて構成されたゲートセルにより行うため、回路に要求される動作速度の仕様が厳しい場合には、最初のステップではその仕様を満たすことができず、論理合成のステップを繰り返す場合が多くなると予想される。したがって、最初の論理合成の段階である程度まで低消費電力性を維持しつつ、高速化された回路を得ることができれば、論理合成に要する時間を削減することができる。

【0007】一方で、従来の論理合成においては多入力論理ゲート（特に4入力以上）は余り用いることはなかった。4入力NANDゲートを例にとれば、4つのNMOSが直列接続されるために、しきい値電圧の高いMOSを用いて構成すると動作電流を十分とることができないために動作速度が遅くなる。このことから、多入力論理回路を用いて回路を構成することは通常の論理回路ではあまり行われなかった。

【0008】本発明の目的は、低消費電力化と動作速度とのバランスのとれた半導体集積回路を提供することにある。

【0009】また、本発明の他の目的は、かかる半導体集積回路を短期間に論理合成可能な設計方法を提供することにある。

#### 【0010】

【課題を解決するための手段】本発明では、3入力以上の論理ゲート回路は低しきい値MOSで構成されたゲートセルを用いて半導体集積回路を構成する。

【0011】すなわち、第1動作電位点と、第2動作電位点と、第1動作電位点と第2動作電位点との間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタに第1絶縁ゲート型電界効果トランジスタを含むとともに第1絶縁ゲート型電界効果トランジスタと同じ導電型の絶縁ゲート型電界効果トランジスタを含まない複数の第1論理ゲートと、第1動作電位点と第2動作電位点との間に複数の絶縁ゲート型電界効果トランジスタが直列接続されており、該直列接続された複数の絶縁ゲート型電界効果トランジスタには少なくとも3以上の第1導電型の第2絶縁ゲート型電界効果トランジスタを含む複数の第2論理ゲートとを有しており、第2絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値は、第1絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値よりも小さく構成する。

【0012】ここで、低しきい値MOSを使用するのは少なくとも縦積みMOSを形成するMOSである。それと相補動作するMOSについては、より高いしきい値電

圧のMOSを用いても、同じしきい値電圧のMOS（プロセスばらつき等を考慮すれば、相補動作する絶縁ゲート型電界効果トランジスタのしきい値電圧は、第1絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値と相補動作する絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値との差が、第2絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値と相補動作する絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値との差よりも大きくなるようなしきい値電圧とすればよい）を用いてもよい。

【0013】また、半導体集積回路の設計にあたっては、3入力以上の論理ゲート回路については低しきい値MOSで構成されたゲートセルを優先的に使用し、1入力の論理ゲート回路については高しきい値MOSで構成されたゲートセルを優先的に使用するようになる。さらにこのような設計を行うためのプログラムを提供する。

#### 【0014】

【発明の実施の形態】発明者らは本発明に先立って多入力論理ゲートの入力信号とリーク電流との関係を検討した。このような多入力論理ゲートは、その出力ノードZnと電源線（VDDまたはVSS）との間に複数の同じ導電型のMOSが直列に接続された、いわゆる縦積み構造を有する。

【0015】図2（a）に3入力NANDゲートの回路図を、図2（b）に3入力NANDゲート回路の入力信号（a1, a2, a3）とリーク電流に起因する消費電力Peakとの関係のシミュレーション結果を示した。ここでは、典型的な例として電源電圧VDDが1.0V、しきい値電圧（絶対値）Vthが0.3V、接合温度Tjが25度、MOSのゲート幅が1.5μm、ゲート長が0.15μmの計算結果を示している。

【0016】入力信号（a1, a2, a3）のうち少なくとも一つがローレベル（以下「L」と表記する）であれば、出力ノードZnはハイレベル（以下「H」と表記する）となる。201は3入力の1つがLである組み合わせであり、202は3入力の2つがLである組み合わせであり、203は3入力の全てがLである組み合わせである。

【0017】3入力の2以上がLとなり、複数のMOSがオフ状態となった場合のリーク電流に起因する消費電力が約40pWであるのに対し、3入力の1がLである場合のリーク電流に起因する消費電力が250pW以上となり、消費電力は8割以上減少している。

【0018】さらに、3入力を取りうる入力信号の組み合わせは図2（b）に図示しない3入力全てがHである場合を含めて8通りである。3入力全てがHである場合には、並列接続されたPMOSにサブスレッショルドリーク電流が流れ、このときの消費電力が最も大きい。トランジスタのゲート幅にも影響されるものの、この場合のサブスレッショルドリーク電流を入力信号の1つがL

である場合のサブスレッショルド電流の約3倍と見積もる。しかし、仮に各入力信号のH、Lが均等に生じるとすれば、サブスレッショルド電流が最大になる入力信号となる確率は1/8であるのに対し、サブスレッショルド電流が大きく低減される入力信号となる確率は4/8である。このことから、3入力NANDゲートのリーク電流に起因する平均消費電力はトランジスタのしきい値電圧の下げ幅に応じて増大するのではないことが明らかになった。

【0019】一般に、低しきい値MOSのしきい値と高しきい値MOSのしきい値との差が0.1Vであるとする、低しきい値MOSのサブスレッショルド電流は高しきい値MOSのサブスレッショルド電流より約10倍大きくなる。そのため、1入力論理ゲート、例えばインバータを低しきい値MOSで構成すると、高しきい値MOSで構成したインバータに比べてサブスレッショルド電流の大きさは10倍になる。ところが、多入力論理ゲートを低しきい値MOSで構成すると、上述したようなリーク電流低減効果が現れるため、多入力論理ゲートを低しきい値MOSで構成した場合のサブスレッショルド電流による平均消費電力とリーク電流低減効果の得られない低しきい値MOSで構成したインバータのサブスレッショルド電流の平均消費電力とはさほど変わらないといえる。

【0020】むしろ、低しきい値電圧のMOSで構成した多入力論理ゲートは、高しきい値電圧のMOSで構成した多入力論理ゲートの欠点であった動作速度の遅さを克服することができる。さらに多入力論理ゲートを用いることにより経路に含まれる論理ゲート段数を減らすことができ、回路の動作速度はより高速化できる。一方で、リーク電流に起因する消費電力は低しきい値MOSを用いているにも拘わらず、低しきい値MOSを用いたことによる消費電力の増加は小さく抑えられ、あるいは論理ゲート数を減らすことができれば回路全体の消費電力を減少させることも期待できる。このように、本発明は多入力論理ゲート、特に3入力以上の論理ゲートを低しきい値のMOSで構成することにより、低消費電力化と動作速度とのバランスのとれた半導体集積回路を実現するものである。

【0021】図3(a)に4入力NANDゲートの回路図を、図3(b)に4入力NANDゲート回路の入力信号(a1, a2, a3, a4)とリーク電流に起因する消費電力 $P_{leak}$ との関係のシミュレーション結果を示した。3入力4入力が替わった以外は全て図2(b)と同条件で計算している。301は4入力の1つがLである組み合わせであり、302は4入力の2つがLである組み合わせであり、303は4入力の3つがLである組み合わせであり、304は4入力の全てがLである組み合わせである。この場合は、図3(b)に表示した15通りのうち11通りの入力パターンで複数のN

MOSがオフ状態となり、リーク電流に起因する消費電力が大幅に減少している。

【0022】このように多入力論理ゲートでリーク電流低減効果が大いなのは次のような理由による。

(1) オフ状態のMOSのドレイン・ソース間の電位差が小さくなる。図2(b)の例により説明する。1つのNMOSのみがオフ状態の場合(201)には、オフ状態のMOSのソース・ドレイン間の電位差は出力ノード $Z_n$ と接地電位 $V_{SS}$ との電位差であり、これを例えばVとする。一方、2つのNMOSがオフ状態の場合(202)には、電位差Vは2つの縦積みNMOSに分割して印加され、オフ状態のMOSのソース・ドレイン間の電位差はそれぞれ約 $V/2$ となる。ソース・ドレイン間の電位差が小さくなることにより、MOSのしきい値電圧は高くなり、サブスレッショルド電流は大幅に小さくなる。

(2) 特に3入力以上の論理ゲートの場合には、複数の縦積みMOSがオフ状態になる確率が大きくなる。2入力論理ゲートでは1/4であるのに対し、3入力論理ゲートでは1/2、4入力論理ゲートでは1/16となる。これによりリーク電流に起因する平均消費電力は入力数(すなわち縦積みMOSの数)が大いほど、小さく抑えることが可能になる。このことは2入力論理ゲートの場合は低しきい値電圧のMOSで構成することによるリーク電流に起因する消費電流の増加量が大きく、3入力以上の論理ゲートの場合は低しきい値電圧のMOSで構成することによるリーク電流に起因する消費電流の増加が小さいことを意味する。

(3) 縦積みMOSの基板(ウェル)を図2(a)、図3(a)に示すように電源電位に接続することによりNMOSがオフ状態になった場合に基板バイアス効果が生じることにより、NMOSのしきい値電圧が高くなり、サブスレッショルド電流が小さくなる。

【0023】なお、図2(a)、図3(a)はそれぞれNAND回路の例であるが、CMOS回路においてはNOR回路とNAND回路ではNMOSとPMOSに関して対称であり、図2(b)、図3(b)に関する議論はNOR回路にも当てはまる(この場合はPMOSが縦積みされる)。さらに、NAND回路やNOR回路以外にもANDNOR回路などの複合論理ゲートを含む、どのような種類のゲートセルでも電源間に直列接続された同じ導電型の複数のMOSを有する論理ゲートであれば適用することができる。

【0024】図1は本発明の代表的な実施例を示す図である。回路ブロック110はゲートセル(論理ゲート)100~108を含む。ここで、網掛けで示したゲートセル101、105はそれぞれ3入力NORゲート、4入力NANDゲートであって、低しきい値電圧のMOSで構成される。このように、1つの回路ブロックのうち、3入力以上の論理ゲートを低しきい値電圧のMOS

で構成される論理ゲートとする。また、2入力以下の論理ゲートについては高しき値電圧のMOSで構成される論理ゲートとする。

【0025】ここで、低しき値電圧のMOSで構成される論理ゲートのトランジスタレベルでの構成例を図4(a)及び図4(b)に示す。これらの例では、3入力NAND回路の例を示している。図4(a)の回路構成では、縦積み構造を形成する第1導電型のMOS(図4(a)の例ではNMOS401、402、403)及びこれらの各MOSと相補に動作する第2導電型のMOS(PMOS405、406、407)を低しき値MOSで構成する。図4(b)の回路構成では、縦積み構造を形成する第1導電型のMOS(図4(b)の例ではNMOS411、412、413)は低しき値MOSで構成し、これらの各MOSと相補に動作する第2導電型のMOS(PMOS415、416、417)を高しき値MOSで構成する。図4(b)の構成は図4(a)の構成に比べて動作速度において劣るが、入力信号の全てがHであった場合にMOS415、416、417に流れるサブスレッショルド電流を抑制することができ、よりリーク電流による消費電流の増加を抑える効果がある。

【0026】なお、1つの回路ブロックに対して3種類以上のMOSを利用する場合においても、本発明は適用できる。この場合も、縦積み構造を形成するMOSにはもっともしき値の低いMOSを用いることが望ましい。また、縦積み構造を形成するMOSのうちでさらにしき値電圧を使い分ける場合には、ソースが電源線に直接接続されたMOSのしき値を高くすることが望ましい。

【0027】図5(a)を用いて本発明にかかる設計方法を説明する。論理記述501は、論理合成の対象となる回路の動作、機能を例えばVHDL等の上位論理記述言語により記述したものである。制約条件502は、論理記述501を論理合成して得た回路が満たすべき遅延時間や消費電力についての仕様である。セルライブラリ503は、それぞれ基本的論理機能を実行可能な多数のゲートセル(例えば、インバータゲート、NANDゲート、複合論理ゲート等)の情報が含まれている。ゲートセルの情報としては、セルの論理機能、外形寸法、入力端子・出力端子の定義、入力端子・出力端子の位置、遅延時間、消費電力の情報を含む。

【0028】ここで、セルライブラリ503には、高しき値MOSで構成され消費電力特性に優れたゲートセル群521と、低しき値MOSで構成され高速動作可能なゲートセル群531とが含まれる。例えば、ゲートセル522は高しき値MOSで構成されたインバータセルであり、ゲートセル532は低しき値MOSで構成されたインバータセルである。ゲートセル522、532のトランジスタレベルでの回路図を図5(b)に示

す。インバータ522を構成するPMOS、NMOSは高しき値MOSであり、インバータ532を構成するPMOS、NMOSは低しき値MOSである。また、ゲートセル523は高しき値MOSで構成された3入力NANDセルであり、ゲートセル533a、533bは低しき値MOSで構成された3入力NANDセルである。ゲートセル533aは例えば図4(a)で開示したタイプのもの、ゲートセル533bは例えば図4(b)で開示したタイプのものである。一方、ゲートセル523は例えばその全てのトランジスタが高しき値MOSにより構成される。もちろん、ゲートセル533aまたはゲートセル533bのいずれか一方しか有さなくても構わない。また、同じ論理機能のゲートセルが、常に低しき値MOSで構成されたゲートセルと高しき値MOSで構成されたゲートセルの2種類を有することを必須とするものでもない。ただし、同じ論理機能を実行するゲートセルは外形寸法、入力端子・出力端子の位置は同じにしておくことが望ましい。後述するようにチャネルインプラでしき値電圧を異ならせることにより実現可能である。

【0029】論理記述501、制約条件502、セルライブラリ503を用いて、論理合成504を実行する。論理合成504は、セルの割り当てステップ511と仕様確認ステップ512とを含む。セル割り当てステップ511では、論理記述501で記述された論理をその遅延時間等を推定して最適化し、セルライブラリ503に含まれるゲートセルを割り当てる。ここで、このセル割り当てステップにおいては、セル割り当て条件513に従う。すなわち、1入力論理ゲートは高しき値MOSで構成されたゲートセルを含むゲートセル群521から、3入力以上の論理ゲートは低しき値MOSで構成されたゲートセルを含むゲートセル群531から選択する。2入力論理ゲートについては、縦積みMOSによるリーク電流低減効果が3入力以上の論理ゲートに比較して小さいこと、またいわゆるクリティカルパスを構成する論理ゲートはごく少数の論理ゲートであることから、2入力論理ゲートは高しき値MOSで構成されたゲートセルを含むゲートセル群521から選択するようにすることが望ましい。

【0030】このセル割り当てステップ511により、ネットリスト505が得られる。ネットリスト505は論理合成対象とする回路をゲートセルの接続関係で表現したものである。仕様確認ステップ512において、このネットリスト505が制約条件502に規定された仕様(遅延時間・消費電力)を満たすかどうか、論理シミュレータ等を用いて回路の動作検証を行って確認する。

【0031】仕様を満たしていることが確認できれば、論理合成は終了する。仕様を満たさない場合には、ネットリスト505の修正が必要となる。一つの修正方法として、論理記述501を修正する方法がある。もう一つ



の修正方法としては、セル割り当て条件513を緩和して、論理合成504を再度行う方法がある。例えば、仕様を満たさないとして特定された経路上の論理ゲートのうち、ゲートセル群521に属するものをゲートセル群531に属するセルに変更する処理を行ってもよい。後者の修正方法は、従来技術の修正方法と同じである。しかし、本発明の設計方法においては、最初の論理合成においてある程度の高速度が進められていることから、従来技術に比べて修正のための繰り返し回数が少なく済む。

【0032】これらの処理は、図示しない計算機システム上で実行されるものである。セル割り当てステップ511に対応する第1サブプログラム、仕様確認ステップ512に対応する第2サブプログラムを有する論理合成プログラムを計算機システムに読み込ませることで実行可能である。

【0033】図6に本発明を適用した半導体集積回路600のモデルを示す。内部論理回路である回路ブロック602～604は、図1に示した回路ブロック110に相当する。具体的には、これらの回路ブロックはCPU、FPUあるいはユーザの構成した論理回路である。I/Oブロック601はパッド611に対し出力バッファ612、入力バッファ613が接続される。入出力バッファ612、613の動作電圧は、他の回路ブロックの動作電圧よりも高いのが一般的である。内部バス605はそれぞれ信号線621、622により複数の回路ブロック602、604と接続され、またバスコントローラ606を介してI/Oブロック601に接続されている。回路ブロック及びI/Oブロックはこのように内部バスを介して接続されるのみならず、直接接続される場合もある。例えば、図6の例では、回路ブロック602と回路ブロック603、回路ブロック603と回路ブロック604、回路ブロック604とI/Oブロック601とはそれぞれ信号線623、624、625により相互に直接接続されている。

【0034】ここで、内部バス605を駆動するバスドライバ621b、622bは、一般的にインバータ回路で構成される。しかしながら、内部バス605は大きな負荷容量を有するため、かかる用途に用いるインバータ回路としては駆動力不足による動作速度の低下を回避するために、低しきい値MOSで構成されたゲートセルを用いることが望ましい。バスドライバに限られず、ある程度信号線長の長い信号線623を駆動する信号線ドライバ（例えば、623d）についても、低しきい値MOSで構成されたゲートセルを用いることが望ましい。ただし、比較的信号線長の短い信号線、あるいは駆動する負荷が小さい場合は高しきい値MOSで構成されたゲートセルを用いることが望ましい（例えば623b）。このようにすれば信号線ドライバの多い半導体集積回路についてはその低消費電力化に効果がある。

【0035】一方、信号線624、625は配線長が長く、負荷容量も大きい。このような場合は、それぞれがリピータを構成する複数のドライバ（624a/b、625a/b）を用いる。このとき、ドライバを数段に渡って直列に接続して全体の駆動力を上げることで動作速度の低下を防止することにより、一つ一つのドライバの駆動力は小さくて済むので、高いしきい値MOSで構成されたゲートセルを用いることができる。また、高しきい値MOSで構成されたドライバを使用しているため、リーク電流による消費電力は小さい。

【0036】このように、低しきい値のドライバを用いるか、高しきい値のドライバを用いるか、あるいはリピータを構成する高しきい値のドライバを用いるかは、図5(a)において制約条件502及びセル割り当て条件513に含めておくことができる。すなわち、ゲートセルの出力が同一回路ブロックに含まれる他のゲートセルの入力に接続される場合には図5(a)に示したセル割り当て条件に従い、ゲートセルの出力が回路ブロックの外の回路要素を駆動する場合には個別に判断する。

【0037】図7は図6の半導体集積回路の断面図であり、各回路で用いられているMOSの構造を示す。PMOSはN型ウェルN-well、NMOSはP型ウェルP-wellに構成されている。図7の例はいわゆる三重ウェル構造の半導体デバイスであって、N型ウェルN-wellよりも深いN型ウェルNISOが設けられ、P型基板とP型ウェルP-wellとを分離している。なお、g901～g906はゲート電極、o901～o906はゲート絶縁膜、c901～c906はチャネル形成層、d901s～d906sはソース拡散領域、d901d～d906dはドレイン拡散領域をそれぞれ示している。

【0038】PMOSTP03及びNMOSTN03は、それぞれ入出力バッファ（図6の612、613）を構成するトランジスタである。上記したように、入出力バッファには高い電圧が印加される。例えば、入出力バッファの動作電圧は、3.3Vであるのに対して、他の論理ブロックの動作電圧は1.0Vである。そのため、ゲート絶縁膜o905、o906は他の回路ブロックを構成するトランジスタよりも厚いゲート絶縁膜（SiO<sub>2</sub>層8nm）が用いられている。また、しきい値電圧も半導体集積回路中でもっとも高いしきい値電圧が用いられ、例えば、TP03のしきい値電圧V<sub>th3P</sub>は-0.7V、TN03のしきい値電圧V<sub>th3N</sub>は0.7Vである。

【0039】PMOSTP01、TP02及びNMOSTN01、TN02は図6に例示した回路ブロック602～605に用いられるMOSである。これらのゲート絶縁膜厚は（SiO<sub>2</sub>層3.2nm）であって、入出力バッファに用いられるトランジスタのそれと比較して薄い。



【0040】MOSTP01、TN01は、本発明の高しきい値MOSで構成されたゲートセル、図4(b)に示したように低しきい値MOSで構成されたゲートセルの一部(MOS415~417)で用いられるMOSである。例えば、TP01のしきい値電圧 $V_{th1P}$ は-0.4V、TN01のしきい値電圧 $V_{th1N}$ は0.4Vである。また、MOSTP02、TN02は、本発明の低しきい値MOSで構成されたゲートセルで用いられるMOSであって、図4(a)のMOS401~407及び図4(b)のMOS415~417に相当する。例

例えば、TP02のしきい値電圧 $V_{th2P}$ は-0.3V、TN02のしきい値電圧 $V_{th2N}$ は0.3Vである。

【0041】周知のように、TP01とTP02またはTN01とTN02でしきい値電圧を調整する方法は多数ある。例えば、ゲート絶縁膜厚を変える、ゲート長を変えることによってしきい値電圧を調整することができる。しかし、図7に示すようにチャネルインプラにより、ゲート電極下のチャネル形成領域の不純物濃度を変えることによりしきい値電圧を調整することが望ましいといえる。ゲート絶縁膜厚を変える場合にはマスク枚数が増えるおそれがあり、ゲート長を変える場合には同じ論理機能を有するゲートセルでセルサイズが変わってしまうおそれもある。このことから、チャネルインプラによりしきい値電圧を調整することが望ましいといえる。

【0042】以上、実施例に則して本発明を説明した。本発明の本質が保たれる限り、種々の変形が可能である。例えば、本発明の半導体集積回路に対して、公知の電源スイッチや基板バイアス制御によりスタンバイ時の消費電力を低減する機構を設けることも可能である。

【0043】

【発明の効果】本発明によって、回路の動作速度とリーク電流による消費電力のバランスをとれた半導体集積回

路を提供できる。

【0044】さらに、当該半導体集積回路を短期間に論理合成可能な設計方法を提供できる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の回路ブロックの一例を示す図である。

【図2】図2(a)は3入力NANDの回路図であり、図2(b)は3入力NAND回路における入力状態に対するリーク電流に起因する消費電力を説明するための図である。

【図3】図3(a)は4入力NANDの回路図であり、図3(b)は4入力NAND回路における入力状態に対するリーク電流に起因する消費電力を説明するための図である。

【図4】図4(a)は、低しきい値MOSで構成した論理ゲート(3入力NAND)の第1の構成例であり、図4(b)は、低しきい値MOSで構成した論理ゲート(3入力NAND)の第2の構成例を示す図である。

【図5】図5(a)は、本発明の半導体集積回路の設計方法を示す図であり、図5(b)は、図5(a)に示すセルライブラリ内に有するゲートセルのトランジスタレベルにおけるインバータ回路例を示す図である。

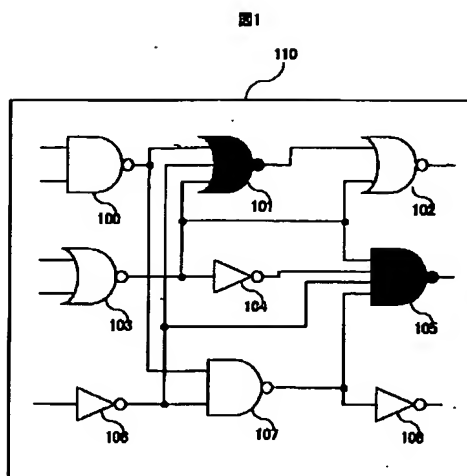
【図6】本発明を適用した半導体集積回路を示す図である。

【図7】本発明の半導体集積回路のMOSの断面を示す図である。

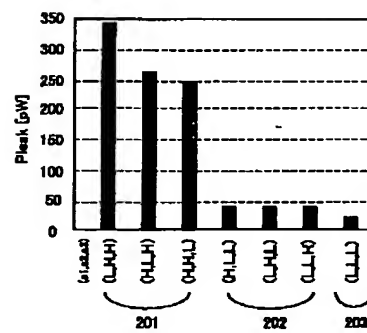
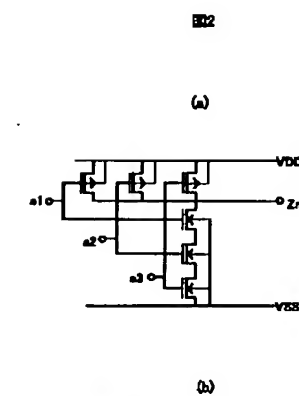
【符号の説明】

100~108: 論理ゲート、110、602~604: 内部回路ブロック、600: 半導体集積回路、601: I/Oブロック、611: パッド、612: 出力バッファ、613: 入力バッファ、605: 内部バス、606: バスコントローラ、621~625: 信号線。

【図1】

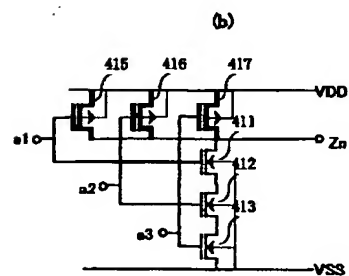
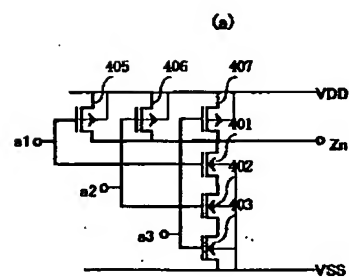
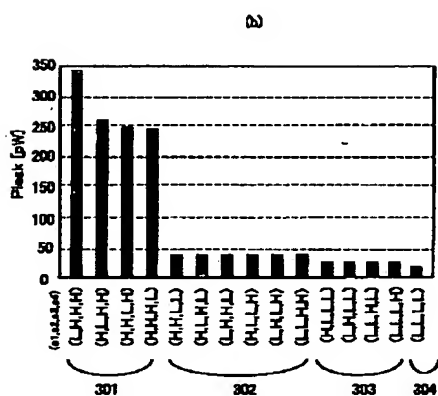


【図2】

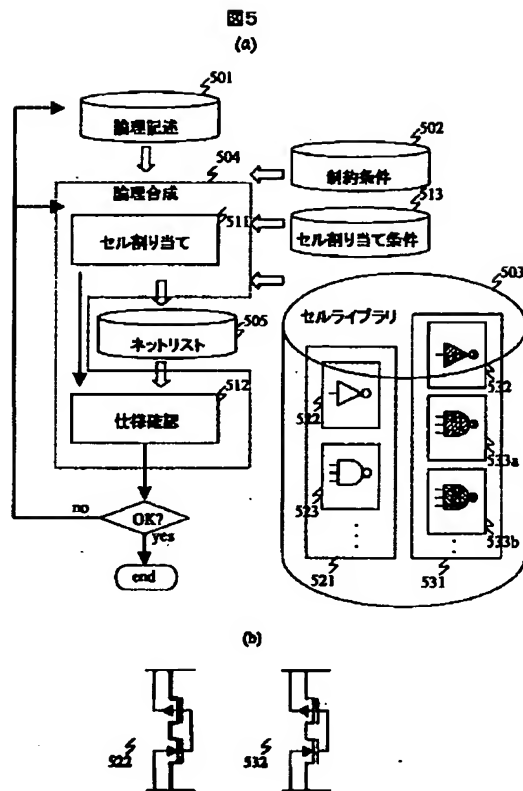


【図4】

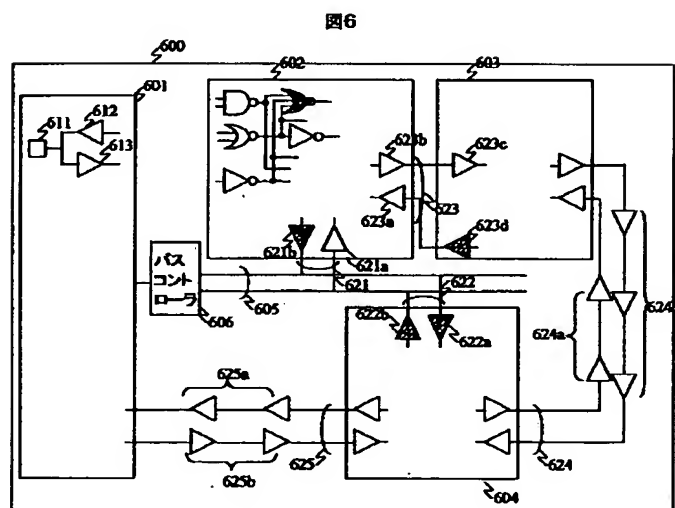
図4



【図5】

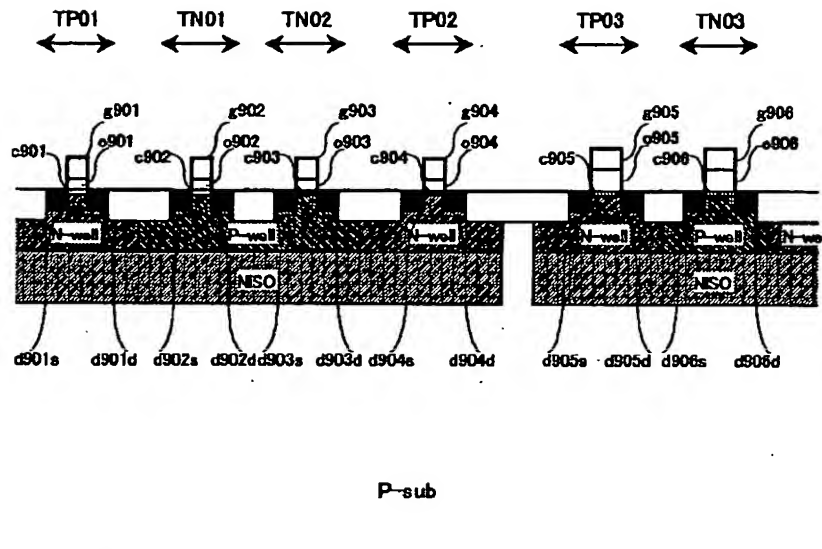


【図6】



【図7】

図7



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H03K 19/0944

識別記号

F I  
H01L 21/82  
27/08

テーマコード(参考)  
C  
102B

(72)発明者 大平 信裕  
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 水野 弘之  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 菅野 雄介  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 石橋 孝一郎  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 山岡 雅直  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 5B046 AA08 BA05 KA06  
5F048 AA07 AB02 AB03 AB06 AB07  
AC03 BB16 BE02 BE03  
5F064 BB05 CC12 HH06 HH08 HH12  
5J056 AA03 BB17 BB59 DD13 DD28  
EE12 EE14 FF10 HH00